

09/856924

PCT/JP00/06767

日本国特許庁

29.09.00

PATENT OFFICE
JAPANESE GOVERNMENT

JKU

JP00/6767

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

1999年10月4日

REC'D 17 NOV 2000

WIPO PCT

出願番号
Application Number:

平成11年特許願第282474号

出願人
Applicant (s):

セイコーエプソン株式会社

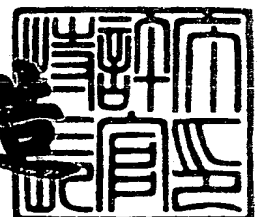
PRIORITY
DOCUMENT

SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年11月6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3089956

【書類名】 特許願

【整理番号】 EP202601

【提出日】 平成11年10月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/12

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 橋元 伸晃

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

 【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体チップ、半導体チップへのバンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器。

【特許請求の範囲】

【請求項 1】 複数の電極を有し、それぞれの前記電極上には複数のバンプが積層されて設けられ、

前記バンプは前記電極上に形成された第 1 のバンプと、前記第 1 のバンプ上に形成された第 2 のバンプとを含む半導体チップ。

【請求項 2】 請求項 1 記載の半導体チップにおいて、
少なくとも前記第 1 のバンプはボールバンプである半導体装置。

【請求項 3】 請求項 1 又は請求項 2 記載の半導体チップにおいて、
前記第 2 のバンプは、前記第 1 のバンプよりも融点の低い金属で形成された半導体チップ。

【請求項 4】 請求項 3 記載の半導体チップにおいて、
前記第 1 のバンプは、金である半導体チップ。

【請求項 5】 請求項 4 記載の半導体チップにおいて、
前記第 2 のバンプは、ハンダである半導体チップ。

【請求項 6】 請求項 1 又は請求項 2 記載の半導体チップにおいて、
前記第 1 のバンプと前記第 2 のバンプとは、同一材料で形成された半導体チップ。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の半導体チップが基板にフェースダウンボンディングされた半導体装置。

【請求項 8】 複数の穴が形成され、配線パターンが一方の面に形成されるとともに、前記配線パターンの一部は前記穴と平面的に重なるように形成された基板と、

複数の電極を有し、前記電極が前記穴と対応するように前記基板の他方の面に配置された半導体チップと、

前記穴の内側に設けられ、前記電極と前記配線パターンとを電氣的に接続する

導電部材と、

を含む半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、
前記基板と前記半導体チップとの間に樹脂が形成されてなる半導体装置。

【請求項 10】 請求項 9 記載の半導体装置において、
前記樹脂は、導電粒子が含まれた異方性導電材料であり、
前記導電部材は前記導電粒子を介して前記配線パターンに電氣的に接続された半導体装置。

【請求項 11】 請求項 8 から請求項 10 のいずれかに記載の半導体装置において、

前記配線パターンの一部は前記穴を塞いで形成され、
前記導電部材は前記穴に挿通されて前記配線パターンと電氣的に接続された半導体装置。

【請求項 12】 請求項 8 から請求項 10 のいずれかに記載の半導体装置において、

前記穴は少なくとも一つのスリットであり、
前記配線パターンは前記スリットをまたいで形成されており、
前記導電部材は前記スリットに挿通されて前記配線パターンと電氣的に接続された半導体装置。

【請求項 13】 請求項 8 から請求項 12 のいずれかに記載の半導体装置において、

前記基板の他方の面は、粗面加工されてなる半導体装置。

【請求項 14】 請求項 8 から請求項 13 のいずれかに記載の半導体装置において、

前記基板には、前記穴を避けて認識用の穴が形成されており、
前記基板における前記配線パターンの形成された面であって前記認識用の穴の上には、認識パターンが形成された半導体装置。

【請求項 15】 請求項 13 記載の半導体装置において、
前記認識用の穴は、前記基板における前記半導体チップの搭載領域の外側に形

成された半導体装置。

【請求項 1 6】 請求項 1 4 又は請求項 1 5 記載の半導体装置において、
前記認識パターンは、前記基板の面上に設定される二次元座標軸のうち、X 軸
方向に延びる第 1 パターンと、Y 軸方向に延びる第 2 パターンと、
を含む半導体装置。

【請求項 1 7】 請求項 8 から請求項 1 6 のいずれかに記載の半導体装置に
おいて、

前記導電部材は積層された複数のバンパである半導体装置。

【請求項 1 8】 請求項 8 から請求項 1 7 のいずれかに記載の半導体装置を
搭載した回路基板。

【請求項 1 9】 請求項 8 から請求項 1 7 のいずれかに記載の半導体装置を
有する電子機器。

【請求項 2 0】 第 1 の導電線を半導体チップの複数の電極のいずれかにボ
ンディングして、前記ボンディングされた第 1 の導電線をその一部を残して切断
する第 1 工程と、

前記電極に残された前記第 1 の導電線を押圧して第 1 のバンパを形成する第 2
工程と、

第 2 の導電線を前記第 1 のバンパ上にボンディングして、前記ボンディングさ
れた第 2 の導電線をその一部を残して切断する第 3 工程と、

前記第 1 のバンパに残された前記第 2 の導電線を押圧して第 2 のバンパを形成
する第 4 工程と、

を含む半導体チップへのバンパの形成方法。

【請求項 2 1】 請求項 2 0 記載の半導体チップへのバンパの形成方法にお
いて、

前記第 1 工程を繰り返して、複数の前記電極のそれぞれに前記第 1 の導電線の
一部を設け、

前記第 2 工程では、複数の前記電極に残された前記第 1 の導電線の一部を、同
時に押圧して、複数の前記第 1 のバンパを同時に形成する半導体チップへのバン
パの形成方法。

【請求項 2 2】 請求項 2 1 記載の半導体チップへのバンプの形成方法において、

前記第 3 工程を繰り返して、複数の前記第 1 のバンプのそれぞれに前記第 2 の導電線の一部を設け、

前記第 4 工程では、複数の前記第 1 のバンプに残された前記第 2 の導電線の一部を、同時に押圧して、複数の前記第 2 のバンプを同時に形成する半導体チップへのバンプの形成方法。

【請求項 2 3】 複数の穴が形成され、配線パターンが一方の面に形成されるとともに、前記配線パターンの一部は前記穴の上を通して形成された基板に、複数の電極上のそれぞれに形成された導電部材を有する半導体チップを、搭載する工程を含み、

前記工程で、前記半導体チップの前記電極の形成面を前記基板の他方の面に向けて、前記導電部材を前記穴に挿通させて前記配線パターンに電氣的に接続する半導体装置の製造方法。

【請求項 2 4】 請求項 2 3 記載の半導体装置の製造方法において、前記工程は、前記基板における前記半導体チップを搭載する領域に樹脂を設ける工程をさらに含む半導体装置の製造方法。

【請求項 2 5】 請求項 2 4 記載の半導体装置の製造方法において、前記樹脂は、導電粒子が含まれた異方性導電材料であり、前記樹脂を設けた後に、前記導電部材を、前記導電粒子を介して前記配線パターンに電氣的に接続する半導体装置の製造方法。

【請求項 2 6】 請求項 2 3 から請求項 2 5 のいずれかに記載の半導体装置の製造方法において、

前記穴はそれぞれの前記電極に対応して形成されており、前記配線パターンの一部は前記穴を塞いで形成され、

前記導電部材を前記穴に挿通させて、前記配線パターンに電氣的に接続させる半導体装置の製造方法。

【請求項 2 7】 請求項 2 3 から請求項 2 5 のいずれかに記載の半導体装置の製造方法において、

前記穴は少なくとも一つのスリットであり、前記配線パターンは前記スリットをまたいで形成されており、

前記導電部材を前記スリットに挿通させて、前記配線パターンに電氣的に接続させる半導体装置の製造方法。

【請求項 2 8】 請求項 2 4 を引用する請求項 2 7 記載の半導体装置の製造方法において、

前記樹脂を設ける工程で、前記基板の前記配線パターンの形成された面の側であって少なくとも前記スリットの領域を、前記樹脂に対して撥水性を有する部材上に載せた後、前記樹脂を設ける半導体装置の製造方法。

【請求項 2 9】 請求項 2 3 から請求項 2 8 のいずれかに記載の半導体装置の製造方法において、

前記基板の他方の面を、粗面加工する工程をさらに含む半導体装置の製造方法。

【請求項 3 0】 請求項 2 3 から請求項 2 9 のいずれかに記載の半導体装置の製造方法において、

前記基板において前記穴を避けて認識用の穴を形成するとともに、前記基板における前記配線パターンの形成された面であって前記認識用の穴の上に、認識パターンを形成する工程をさらに含む半導体装置の製造方法。

【請求項 3 1】 請求項 3 0 記載の半導体装置の製造方法において、前記認識パターンを、前記基板の面上に設定される二次元座標軸のうち X 軸方向に延びる第 1 パターンと、Y 軸方向に延びる第 2 パターンとで形成し、

前記認識パターンを使用して、前記半導体チップと前記基板との位置合わせを行う半導体装置の製造方法。

【請求項 3 2】 請求項 2 3 から請求項 3 1 のいずれかに記載の半導体装置の製造方法において、

前記導電部材は積層した複数のパンプである半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体チップ、半導体チップへのバンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

CSP (Chip Scale/ Size Package) 型の半導体装置の中で、一つの形態として、半導体チップを基板に対してフェースダウン実装した構造が知られている。一般的にフェースダウン構造では、半導体チップは基板の配線パターンの形成された面に搭載される。したがって、配線パターンの一部は半導体チップに覆われることになり、配線パターンに対する設計自由度が制限されていた。

【0003】

本発明は、この問題点を解決するためのものであり、その目的は、接続信頼性を低下させることなく配線パターンの設計自由度を高くすることのできる半導体チップ、半導体チップへのバンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0004】

【課題を解決するための手段】

(1) 本発明に係る半導体チップは、複数の電極を有し、それぞれの前記電極上には複数のバンプが積層されて設けられ、

前記バンプは前記電極上に形成された第1のバンプと、前記第1のバンプ上に形成された第2のバンプとを含む。

【0005】

これによれば、半導体チップの電極上に第1のバンプが形成され、さらに、第1のバンプ上に第2のバンプが形成される。すなわち、複数のバンプが電極上に積層されている。これにより、例えば穴を有する基板に第1及び第2のバンプを挿通させて半導体チップをフェースダウンボンディングした場合に、配線パターンが基板における半導体チップの搭載領域とは反対側に位置することとなる。すなわち、配線パターンは半導体チップに覆われることなく自由に設計することが可能となる。さらに、配線パターンは半導体チップからみて基板を介した位置に形成される。したがって、半導体チップ内の集積回路における信号と、配線パタ

ーンにおける信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性が低下することなく配線パターンの設計自由度が高い半導体装置を得ることができる。

【 0 0 0 6 】

なお、第 1 及び第 2 のバンプは複数のバンプのうち任意の二つのバンプを意味し、本発明は二つのバンプに限定するものではなく、少なくとも二つのバンプに適用が可能である。

【 0 0 0 7 】

(2) この半導体チップにおいて、
少なくとも前記第 1 のバンプはボールバンプであってもよい。

【 0 0 0 8 】

これによれば、第 1 のバンプをボールバンプ法で形成してもよく、既存のワイヤボンダー設備を活用することができるので、少ない設備投資で製造することができる。

【 0 0 0 9 】

(3) この半導体チップにおいて、
前記第 2 のバンプは、前記第 1 のバンプよりも融点の低い金属で形成されてもよい。

【 0 0 1 0 】

これによれば、先に形成される第 1 のバンプの融点の方が高いので、例えば第 2 のバンプを形成するときの熱によって第 1 のバンプに与える影響を少なくすることができる。したがって、容易に複数のバンプを積層させることができる。

【 0 0 1 1 】

(4) この半導体チップにおいて、
前記第 1 のバンプは、金であってもよい。

【 0 0 1 2 】

金の融点は比較的高い。

【 0 0 1 3 】

(5) この半導体チップにおいて、

前記第 2 のバンプはハンダであってもよい。

【0 0 1 4】

(6) この半導体チップにおいて、

前記第 1 のバンプと前記第 2 のバンプとは、同一材料で形成されてもよい。

【0 0 1 5】

これによって、例えば第 2 のバンプもボールバンプ法にて形成することができる。

【0 0 1 6】

(7) 本発明に係る半導体装置は、上記半導体チップが基板にフェースダウンボンディングされている。

【0 0 1 7】

これによれば、半導体チップの電極上に形成された第 1 及び第 2 のバンプの高さによって、半導体チップと基板との間隔が大きくなるので、半導体チップの直下に樹脂を多く設けることができ、樹脂を応力緩和層として十分に機能させることができる。また、第 1 のバンプを金で形成し、第 2 のバンプをハンダで形成した場合には、コア（金）のあるハンダバンプの実装構造を容易に得ることができる。

【0 0 1 8】

(8) 本発明に係る半導体装置は、複数の穴が形成され、配線パターンが一方の面に形成されるとともに、前記配線パターンの一部は前記穴と平面的に重なるように形成された基板と、

複数の電極を有し、前記電極が前記穴と対応するように前記基板の他方の面に配置された半導体チップと、

前記穴の内側に設けられ、前記電極と前記配線パターンとを電氣的に接続する導電部材と、

を含む。

【0 0 1 9】

これによれば、半導体チップの電極上に形成された導電部材が基板の穴に挿通されて配線パターンに接続されている。これにより、配線パターンは基板におけ

る半導体チップの搭載領域とは反対側に位置することとなる。すなわち、配線パターンは半導体チップに覆われることなく自由に設計することが可能となる。さらに、配線パターンは半導体チップからみて基板を介した位置に形成される。したがって、半導体チップ内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターンの設計自由度の高い半導体装置を得ることができる。

【 0 0 2 0 】

(9) この半導体装置において、
前記基板と前記半導体チップとの間に樹脂が形成されていてもよい。

【 0 0 2 1 】

これによれば、基板における配線パターンの形成を必須としない面に半導体チップが搭載され、基板と半導体チップの間には樹脂が設けられている。したがって、基板における半導体チップの搭載面に配線パターンが形成されない場合に、樹脂は比較的密着性に優れる基板上に設けられるので、剥離を抑えることができる。ゆえに、さらに効果的に、接続信頼性を低下させることなく配線パターンの設計自由度の高い半導体装置を得ることができる。

【 0 0 2 2 】

(1 0) この半導体装置において、
前記樹脂は、導電粒子が含まれた異方性導電材料であり、
前記導電部材は前記導電粒子を介して前記配線パターンに電氣的に接続されていてもよい。

【 0 0 2 3 】

(1 1) この半導体装置において、
前記配線パターンの一部は前記穴を塞いで形成され、
前記導電部材は前記穴に挿通されて前記配線パターンと電氣的に接続されていてもよい。

【 0 0 2 4 】

(1 2) この半導体装置において、

前記穴は少なくとも一つのスリットであり、
前記配線パターンは前記スリットをまたいで形成されており、
前記導電部材は前記スリットに挿通されて前記配線パターンと電氣的に接続されていてもよい。

【 0 0 2 5 】

これによれば、基板に必要な穴を容易に設けることができる。

【 0 0 2 6 】

(1 3) この半導体装置において、
前記基板の他方の面は、粗面加工されていてもよい。

【 0 0 2 7 】

これによれば、樹脂と基板との接触面積が大きくなるので、さらに両者の密着性を高めることができる。

【 0 0 2 8 】

(1 4) この半導体装置において、
前記基板には、前記穴を避けて認識用の穴が形成されており、
前記基板における前記配線パターンの形成された面であって前記認識用の穴の上には、認識パターンが形成されていてもよい。

【 0 0 2 9 】

これによれば、半導体チップが容易に基板に搭載される。

【 0 0 3 0 】

(1 5) この半導体装置において、
前記認識用の穴は、前記基板における前記半導体チップの搭載領域の外側に形成されていてもよい。

【 0 0 3 1 】

これによれば、半導体チップがさらに容易に基板に搭載される。

【 0 0 3 2 】

(1 6) この半導体装置において、
前記認識パターンは、前記基板の面上に設定される二次元座標軸のうち、X軸方向に延びる第 1 パターンと、Y軸方向に延びる第 2 パターンと、

を含んでもよい。

【 0 0 3 3 】

これによれば、第 1 及び第 2 パターンを認識することによって、半導体チップを基板上の決められた位置に正確に搭載することができる。

【 0 0 3 4 】

(1 7) この半導体装置において、
前記導電部材は積層された複数のバンパであってもよい。

【 0 0 3 5 】

これによれば、既存の技術と装置を用いて導電部材を形成することができる。

【 0 0 3 6 】

(1 8) 本発明に係る回路基板は、上記半導体装置が搭載されている。

【 0 0 3 7 】

(1 9) 本発明に係る電子機器は、上記半導体装置を有する。

【 0 0 3 8 】

(2 0) 本発明に係るバンパの形成方法は、第 1 の導電線を半導体チップの複数の電極のいずれかにボンディングして、前記ボンディングされた第 1 の導電線をその一部を残して切断する第 1 工程と、

前記電極に残された前記第 1 の導電線を押圧して第 1 のバンパを形成する第 2 工程と、

第 2 の導電線を前記第 1 のバンパ上にボンディングして、前記ボンディングされた第 2 の導電線をその一部を残して切断する第 3 工程と、

前記第 1 のバンパに残された前記第 2 の導電線を押圧して第 2 のバンパを形成する第 4 工程と、

を含む。

【 0 0 3 9 】

これによれば、第 1 又は第 2 の導電線を、電極又は第 1 のバンパにボンディングし、その一部を電極又は第 1 のバンパに残して切断し、これを押圧するだけで第 1 及び第 2 のバンパを積層させて形成することができる。この工程は、メッキによってバンパを積層させて形成する工程に比べて、短い時間で行える。また、

例えば穴を有する基板に第1及び第2のバンプを挿通させて半導体チップをフェースダウンボンディングした場合に、配線パターンが基板における半導体チップの搭載領域とは反対側に位置することとなる。すなわち、配線パターンは半導体チップに覆われることなく自由に設計することが可能となる。さらに、配線パターンは半導体チップからみて基板を介した位置に形成される。したがって、半導体チップ内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性が低下することなく配線パターンの設計自由度が高い半導体装置を得ることができる。

【0040】

なお、第1及び第2のバンプは複数のバンプのうち任意の二つのバンプを意味し、本発明は二つのバンプに限定するものではなく、少なくとも二つバンプに適用が可能である。

【0041】

(21) この半導体チップへのバンプの形成方法において、

前記第1工程を繰り返して、複数の前記電極のそれぞれに前記第1の導電線の一部を設け、

前記第2工程では、複数の前記電極に残された前記第1の導電線の一部を、同時に押圧して、複数の前記第1のバンプを同時に形成してもよい。

【0042】

これによれば、複数の第1のバンプを同時に形成できるので、その工程を一層短縮することができる。

【0043】

(22) この半導体チップへのバンプの形成方法において、

前記第3工程を繰り返して、複数の前記第1のバンプのそれぞれに前記第2の導電線の一部を設け、

前記第4工程では、複数の前記第1のバンプに残された前記第2の導電線の一部を、同時に押圧して、複数の前記第2のバンプを同時に形成してもよい。

【0044】

これによれば、複数の第2のバンプを同時に形成できるので、その工程を一層

短縮することができる。

【 0 0 4 5 】

(2 3) 本発明に係る半導体装置の製造方法は、複数の穴が形成され、配線パターンが一方の面に形成されるとともに、前記配線パターンの一部は前記穴の上を通過して形成された基板に、複数の電極上のそれぞれに形成された導電部材を有する半導体チップを、搭載する工程を含み、

前記工程で、前記半導体チップの前記電極の形成面を前記基板の他方の面に向けて、前記導電部材を前記穴に挿通させて前記配線パターンに電氣的に接続する。

【 0 0 4 6 】

これによれば、半導体チップの電極上に形成された導電部材を基板の穴に挿通させて配線パターンに接続する。これにより、配線パターンは基板における半導体チップの搭載領域とは反対側に位置することとなる。すなわち、配線パターンは半導体チップに覆われることなく自由に設計することが可能となる。さらに、配線パターンは半導体チップからみて基板を介した位置に形成される。したがって、半導体チップ内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターンの設計自由度の高い半導体装置を得ることができる。

【 0 0 4 7 】

(2 4) この半導体装置の製造方法において、

前記工程は、前記基板における前記半導体チップを搭載する領域に樹脂を設ける工程をさらに含んでもよい。

【 0 0 4 8 】

これによれば、基板における配線パターンの形成を必須としない面に半導体チップを搭載し、基板と半導体チップとの間に樹脂を設ける。したがって、基板における半導体チップの搭載面に配線パターンが形成されない場合に、樹脂は比較的密着性に優れる基板上に設けられるので、実装工程で伴う熱などによってその界面の剥離を抑えることができる。ゆえに、さらに効果的に、接続信頼性を低下

させることなく配線パターンの設計自由度の高い半導体装置を得ることができる。

【0049】

(25) この半導体装置の製造方法において、
前記樹脂は、導電粒子が含まれた異方性導電材料であり、
前記樹脂を設けた後に、前記導電部材を、前記導電粒子を介して前記配線パターンに電氣的に接続してもよい。

【0050】

異方性導電材料によって半導体チップの電極と配線パターンとを電氣的に導通させるのと同時に、半導体チップと基板のアンダーフィルを同時に行えるので、生産性に優れた方法で半導体装置を製造することができる。

【0051】

(26) この半導体装置の製造方法において、
前記穴はそれぞれの前記電極に対応して形成されており、前記配線パターンの一部は前記穴を塞いで形成され、
前記導電部材を前記穴に挿通させて、前記配線パターンに電氣的に接続させてもよい。

【0052】

(27) この半導体装置の製造方法において、
前記穴は少なくとも一つのスリットであり、前記配線パターンは前記スリットをまたいで形成されており、
前記導電部材を前記スリットに挿通させて、前記配線パターンに電氣的に接続させてもよい。

【0053】

これによれば、基板に必要な穴を容易に設けることができる。

【0054】

(28) この半導体装置の製造方法において、
前記樹脂を設ける工程で、前記基板の前記配線パターンの形成された面の側であって少なくとも前記スリットの領域を、前記樹脂に対して撥水性を有する部材

上に載せた後、前記樹脂を設けてもよい。

【0 0 5 5】

これによれば、スリットから樹脂を漏らすことなく基板上に設けることができる。

【0 0 5 6】

(2 9) この半導体装置の製造方法において、
前記基板の他方の面を、粗面加工する工程をさらに含んでもよい。

【0 0 5 7】

これによれば、樹脂と基板との接触面積が大きくなるので、さらに両者の密着性を高めることができる。

【0 0 5 8】

(3 0) この半導体装置の製造方法において、
前記基板において前記穴を避けて認識用の穴を形成するとともに、前記基板における前記配線パターンの形成された面であって前記認識用の穴の上に、認識パターンを形成する工程をさらに含んでもよい。

【0 0 5 9】

これによれば、半導体チップを容易に基板に搭載することができる。

【0 0 6 0】

(3 1) この半導体装置の製造方法において、
前記認識パターンを、前記基板の面上に設定される二次元座標軸のうち X 軸方向に延びる第 1 パターンと、Y 軸方向に延びる第 2 パターンとで形成し、
前記認識パターンを使用して、前記半導体チップと前記基板との位置合わせを行ってもよい。

【0 0 6 1】

これによれば、第 1 及び第 2 パターンを認識することによって、半導体チップを基板上の決められた位置に正確に搭載することができる。

【0 0 6 2】

(3 2) この半導体装置の製造方法において、
前記導電部材は積層した複数のバンプであってもよい。

【0063】

これによれば、導電部材を確実に形成することができる。

【0064】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。本発明に係る半導体装置のパッケージ形態は、BGA (Ball Grid Array)、CSP (Chip Size /Scale Package) などのいずれが適用されてもよい。本発明は、フェースダウン型の半導体装置やそのモジュール構造にも適用することができる。フェースダウン型の半導体装置として、例えば、COF (Chip On Flex/Film) 構造やCOB (Chip On Board) 構造などがある。これらは、以下に述べるように半導体チップのみの実装ではなく、抵抗、コンデンサ等や、これらのSMD (Surface Mount Device) などの受動部品と適宜に組み合わされたモジュール構造となってもよい。

【0065】

(第1の実施の形態)

図1 (A) ~図4 (B) は、本発明を適用した第1の実施の形態に係る半導体チップへのバンプの形成方法の一例を示す図である。

【0066】

図1 (A) ~図2 (B) は、第1のバンプ70の形成方法を示す図である。図1 (A) に示すように、1つ又は複数の電極 (又はパッド) 12が形成された半導体チップ10を用意する。各電極12は、例えばアルミニウムなどで半導体チップ10に薄く平らに形成されていることが多いが、バンプの形状をなしていなければ特に側面又は縦断面の形状は限定されず、半導体チップ10の面と面一になってもよい。また、電極12の平面形状も特に限定されず、円形であっても矩形であってもよい。電極12を避けて半導体チップ10には、パッシベーション膜 (図示しない) が形成されている。パッシベーション膜は、例えば、SiO₂、SiN、ポリイミド樹脂などで形成することができる。

【0067】

このような半導体チップ10における電極12が形成された面の側に、キャピ

ラリ 1 4 を配置する。キャピラリ 1 4 には、ワイヤなどの導電線 1 6 が挿通されている。導電線 1 6 は、金、金－スズ、ハンダ、銅又はアルミニウムなどで構成されることが多いが、導電性の材料であれば特に限定されない。導電線 1 6 には、キャピラリ 1 4 の外側にボール 1 7 が形成されている。ボール 1 7 は、導電線 1 6 の先端に、例えば電気トーチによって高電圧の放電を行って形成される。

【 0 0 6 8 】

なお、本発明においては第 1 のバンプを形成するための導電線 1 6 を第 1 の導電線、第 2 のバンプを形成するための導電線 1 6 を第 2 の導電線と称してもよい。

【 0 0 6 9 】

そして、キャピラリ 1 4 をいずれか一つの電極 1 2 の上方に配置して、ボール 1 7 をいずれか一つの電極 1 2 の上方に配置する。クランパ 1 8 を開放して、キャピラリ 1 4 を下降させて、電極 1 2 にボール 1 7 を押圧する。ボール 1 7 を一定の圧力で押しつけて電極 1 2 に圧着を行っている間に超音波や熱等を印加する。こうして、図 1 (B) に示すように、導電線 1 6 が電極 1 2 にボンディングされる。

【 0 0 7 0 】

そして、クランパ 1 8 を閉じて導電線 1 6 を保持し、図 1 (C) に示すように、キャピラリ 1 4 及びクランパ 1 8 を同時に上昇させる。こうして、導電線 1 6 は、引きちぎられて、ボール 1 7 を含む部分が電極 1 2 上に残る。バンプ形成の必要がある電極 1 2 が複数ある場合には、以上の工程を、複数の電極 1 2 について繰り返して行うことができる。

【 0 0 7 1 】

なお、電極 1 2 上に残った導電線 1 6 の一部（ボール 1 7 を含む）は、圧着されたボール 1 7 上で導電線が引きちぎられたような、もしくはルーピングによる凸状になっていることが多い。

【 0 0 7 2 】

次に、図 2 (A) 及び図 2 (B) に示す工程を行う。すなわち、図 2 (A) に示すように、電極 1 2 上にボンディングされた導電線 1 6 の一部（ボール 1 7 を

含む)が残された半導体チップ10を台20の上に載せて、図2(B)に示すように、押圧治具22によって導電線16の一部(ボール17を含む)を押しつぶす。なお、本実施の形態では、複数の電極12上に残された導電線16の一部を同時に押しつぶすが、一つの電極12ごとに導電線16の一部(ボール17を含む)を押しつぶしても良い(フラットニングの工程)。この工程では、ギャングボンディング用のボンダーや、シングルポイントボンディング用のボンダーを使用することができる。

【0073】

こうして、図2(B)に示すように、各電極12上に第1のバンプ70が形成される。第1のバンプ70は押圧治具22によってつぶされたことで上端面が平坦になっていることが好ましい。すなわち、後に示す第2のバンプ80を第1のバンプ70上に形成することができる程度に、第1のバンプ70が安定性を有して形成されていればよく、例えば第1のバンプ70の側面に窪んだ凹部が形成されていても構わない。凹部を形成することで、凹部に樹脂(図5参照)が入り込み第1のバンプ70の抜け止めが図られる(機械的なアンカリング効果)。このことは第2のバンプ80でも共通の内容となるが、頂上に形成されるバンプ(図5では第3のバンプ)においては、上端部は配線パターン32と確実に接続できる程度の平坦性が確保される。上述したフラットニングの工程は、次に述べるように第2のバンプ80を形成しやすくするための一手段であり、その形成性が問題なければ、同工程を省いたり、溶融加熱によるウェットバック工程で代替したりすることもできる。

【0074】

図3(A)～図4(B)は第2のバンプ80の形成方法を示す図である。形成方法は、電極12上に第1のバンプ70が形成されていることを除いて図1(A)～図2(B)と同様である。図4(B)において、第2のバンプ80は第1のバンプ70に対して垂直に積層されることが好ましい。第2のバンプ80の形成後にも上述したフラットニング工程を行い、バンプ高さのばらつきを低減するほうが、後述の半導体チップの実装工程の不良率が低減できるのでより好ましい。

【0075】

本発明に係る半導体チップへのバンプの形成方法においては、前述の記載のように複数のバンプのうちの任意の二つを意味し、二つのバンプに限定するものではなく、少なくとも二つのバンプに適用が可能である。なお、本発明に係る半導体装置は、電極 1 2 と配線パターン 3 2 との間に導電部材を有していればよく、導電部材はバンプに限定されない。図 5 では導電部材としてバンプを用いた場合を示すものであるが、第 1 から第 3 のバンプ 7 0、8 0、9 0 は任意の複数のバンプを意味し、本実施の形態はこれに限定するものではなく、少なくとも一つのバンプに適用が可能である。後述される半導体チップの実装方法に従って、第 1 のバンプ 7 0 以外の、例えば第 2 のバンプ 8 0 は、第 1 のバンプ 7 0 とは異なる材料としてもよい。例えば、第 1 のバンプ 7 0 を金で形成し、第 2 のバンプ 8 0 を金-スズ、ハンダなどの金よりも低融点金属で形成すれば、第 2 のバンプ 8 0 の形成後におけるフラットニング工程は、溶融加熱によるウェットバック工程などを採用でき、工程の簡略化を図ることができる。さらに、このとき、バンプ自身をロウ材とした半導体チップの実装が行えることは言うまでもない。上述したボールバンプ法では、既存のワイヤボンダー設備を活用することができるので、少ない設備投資で製造することができる。

【0076】

また、本実施の形態では、ボンディングワイヤを用いたボールバンプの例について述べてきたが、バンプの形成方法としては従来から行われている、電解メッキ法、無電解メッキ法、ペースト印刷法、ボール載置法などや、それらの組み合わせ手法を用いてもよく、2 段以上のバンプが積層されれば、その製造、材料の組み合わせは問わない。

【0077】

図 5 は本実施の形態に係る半導体装置を示す図であり、図 6 は本実施の形態に係る、半導体チップ 1 0 を搭載する前の基板 3 0 の平面図である。半導体装置 1 は半導体チップ 1 0 と、基板 3 0 とを含む。

【0078】

半導体チップ 1 0 は上述の工程によって形成された第 1 及び第 2 のバンプ 7 0 及び 8 0 を含む。本実施の形態では第 3 のバンプ 9 0 をさらに含む。また、本発

明においては導電部材であればその形態は問わない。

【0079】

基板 30 は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。基板 30 は、個片で用いてもよく、又は半導体チップ 10 を搭載する領域がマトリクス状に複数形成された短冊状で用いてもよい。短冊状の場合は、別工程で個片に打ち抜かれる。有機系の材料から形成された基板 30 として、例えばポリイミド樹脂からなる 2 層や 3 層のフレキシブル基板が挙げられる。フレキシブル基板として、TAB 技術で使用するテープを使用してもよい。また、無機系の材料から形成された基板 30 として、例えばセラミック基板やガラス基板が挙げられる。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板が挙げられる。基板 30 の平面形状は問わないが、半導体チップ 10 の相似形であることが好ましい。

【0080】

基板 30 には配線パターン 32 が形成されている。本実施の形態では配線パターン 32 は基板 30 の一方の面に形成されている。配線パターン 32 は、銅箔をエッチングして形成することが多く、複数層から構成されていてもよい。銅箔は予め基板 30 に接着剤（図示しない）を介して形成されていることが一般的である。別の例では、銅（Cu）、クロム（Cr）、チタン（Ti）、ニッケル（Ni）、チタニウム（Ti-W）のうちのいずれかを積層して配線パターン 32 を形成することができる。例えば、フォトリソグラフィを適用した後にエッチングによって配線パターン 32 を形成してもよく、スパッタによって配線パターン 32 を基板 30 に直接形成してもよく、メッキ処理によって配線パターン 32 を形成してもよい。また、配線パターン 32 の一部は配線となる部分よりも面積の大きいランド部 37 及び 39 となってもよい。このランド部 37 及び 39 は電氣的接続部を十分に確保する機能を有する。したがって、図 6 に示すようにランド部 37 は電極 12 との接続部に形成され、ランド部 39 は後に示す外部端子 40 との接続部に形成されていてもよい。

【0081】

基板 30 には複数の穴 36 が形成されている。半導体チップ 10 の電極 12 上

に形成された導電部材（第 1 から第 3 のバンプ 7 0、8 0、9 0）は穴 3 6 に挿通される。この場合、導電部材は、半導体チップ 1 0 の電極 1 2 と配線パターン 3 2（ランド部 3 7）とが電氣的に接続される高さを有していればよく、例えば第 1 のバンプ 7 0 だけで、バンプ高さを高く形成して、達成されていてもよい。穴 3 6 は基板 3 0 における半導体チップ 1 0 の搭載領域内であって、各電極 1 2 の配置や数などに応じて形成される。例えば図 6 においては、半導体チップ 1 0 の対向する二辺に沿って形成された電極 1 2 に対応して、穴 3 6 は基板 3 0 における半導体チップ 1 0 の搭載領域内の対向する二辺にそれぞれ形成されていてもよい。一つの穴 3 6 に一つの導電部材が挿通されてもよい。穴 3 6 は、導電部材が挿通できる径を有していればよく、形状は円形であっても矩形であっても構わない。穴 3 6 は基板 3 0 を貫通して形成されるが、基板 3 0 の一方の面に形成された配線パターン 3 2 によって穴 3 6 の一方の開口部は塞がれる。すなわち、前述のランド部 3 7 によって穴 3 6 の配線パターン 3 2 が形成された側の開口部が塞がれている。なお、導電部材は配線パターン 3 2（ランド部 3 7）と電氣的に接続されるために、基板 3 0 の厚さより高く形成されることが好ましい。

【 0 0 8 2 】

半導体チップ 1 0 は、基板 3 0 における配線パターン 3 2 の形成を必須としない側の面に、電極 1 2 の形成面が基板 3 0 の側を向いて搭載される。本実施の形態では基板 3 0 における半導体チップ 1 0 の搭載面には配線パターン 3 2 は形成されていない。電極 1 2 に形成された導電部材は穴 3 6 に挿通され、穴 3 6 の一方の開口部に形成された配線パターン 3 2（ランド部 3 7）に電氣的に接続される。すなわち、導電部材は穴 3 6 から露出した配線パターン 3 2（ランド部 3 7）に電氣的に接続される。なお、言うまでもないが、本発明は電極 1 2 と配線パターン 3 2 との間に導電部材を有していればよく、導電部材はバンプに限定されない。他の導電部材の一例としては、導電ペースト、導電性ボールなどがある。また、導電部材は、穴 3 6 から露出された配線パターン 3 2（ランド部 3 7）の側に形成されてもよく、半導体チップ 1 0 の側に形成された導電部材との両方を導電部材としてもよい。

【 0 0 8 3 】

これによれば、半導体チップ 10 の電極 12 上に形成された導電部材が基板 30 の穴 36 に挿通されて配線パターン 32 に接続されている。これにより、配線パターン 32 は基板 30 における半導体チップ 10 の搭載領域とは反対側に位置することとなる。すなわち、配線パターン 32 は半導体チップ 10 に覆われることなく自由に設計することが可能となる。さらに、配線パターン 32 は半導体チップ 10 からみて基板 30 を介した位置に形成される。したがって、半導体チップ 10 内の集積回路における信号と、配線パターン 32 における信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターン 32 の設計自由度の高い半導体装置を得ることができる。

【0084】

半導体チップ 10 と基板 30 との間には樹脂が設けられる。詳しく言うと、本実施の形態においては、基板 30 の配線パターン 32 の形成されていない面であって、少なくとも半導体チップ 10 の搭載領域（穴 36 を含む）に樹脂が設けられる。本実施の形態では、樹脂は異方性導電材料 34 である。異方性導電材料 34 は、接着剤（バインダ）に導電粒子（フィラー）が分散されたもので、分散剤が添加される場合もある。異方性導電材料 34 の接着剤として、熱硬化性の接着剤が使用されることが多い。また、異方性導電材料 34 として、予めシート状に形成された異方性導電膜が使用されることが多いが、液状のものを使用してもよい。異方性導電材料 34 は、導電部材と配線パターン 32 との間で押しつぶされて、導電粒子によって両者間での電氣的導通を図るようになっている。なお、本発明はこれに限定するものではなく、導電部材と配線パターン 32 との電氣的接続として、例えば導電樹脂ペーストによるもの、Au-Au、Au-Sn、ハンダなどによる金属接合によるもの、絶縁樹脂の収縮力によるものなどの形態があり、そのいずれの形態を用いてもよい。

【0085】

いずれの実装方式を採用しても、基板 30 と半導体チップ 10 との間には、少なくとも結果的には絶縁性の樹脂が封入されていることが多い。これによれば、基板 30 における配線パターン 32 の形成を必須としない面に半導体チップ 10

が搭載され、基板 3 0 と半導体チップ 1 0 との間には樹脂が設けられている。したがって、基板 3 0 における半導体チップ 1 0 の搭載面に配線パターン 3 2 が形成されない場合に、樹脂は比較的密着性に優れる基板 3 0 上に設けられるので、剥離を抑えることができる。また、半導体チップ 1 0 と配線パターン 3 2 との間に基板 3 0 が介在する。したがって、例えば、基板 3 0 が軟らかい材料で形成されたときに、半導体チップ 1 0 と配線パターン 3 2 とにかかる応力を吸収することができる。ゆえに、さらに効果的に、接続信頼性を低下させることなく配線パターン 3 2 の設計自由度の高い半導体装置を得ることができる。

【 0 0 8 6 】

基板 3 0 における少なくとも異方性導電材料 3 4 を設ける領域は、粗面となってもよい。すなわち、基板 3 0 の表面をその平坦性をなくすように荒らしてもよい。基板 3 0 の表面は、サンドブラストを用いて機械的に、又はプラズマ、紫外線、オゾン等を用いて物理的に、エッチング材を用いて化学的に荒らすことができる。これらにより、基板 3 0 と異方性導電材料 3 4 の接着面積が増大させたり、物理的、化学的な接着力を増大させたりして、両者をより強く接着することができる。

【 0 0 8 7 】

図 6 に示すように基板 3 0 には、認識用の穴 5 0 とその上に形成される認識パターン 5 2、5 4 とが設けられていてもよい。認識用の穴 5 0 及び認識パターン 5 2、5 4 によって導電部材を穴 3 6 に容易かつ確実に挿通させることができる。したがって、認識用の穴 5 0 及び認識パターン 5 2、5 4 は基板 3 0 における半導体チップ 1 0 の搭載領域を避けた領域に形成されるのが好ましい。言うまでもないが、認識用の穴 5 0 の形状と大きさは限定されることなく、認識パターン 5 2、5 4 が認識できればよい。認識パターン 5 2、5 4 は、図 6 にあるように認識用の穴 5 0 をまたいでもよく、形状はこれに限定されない。また、認識パターン 5 2、5 4 は、基板 3 0 における配線パターン 3 2 の形成面であって、認識用の穴 5 0 の開口部に形成される。基板 3 0 に光透過性がある場合は、必ずしも穴 3 6 は形成しなくともよく、その場合は、認識パターン 5 2、5 4 は、基板 3 0 を通して認識されることになる。

【0088】

例えば、認識パターン52、54は基板30の面上に設定される二次元座標のうちX軸方向に延びる第1のパターン52と、Y軸方向に延びる第2のパターン54から構成されてもよい。いずれにしても、認識パターン52、54は、基板平面状において半導体チップ10の位置を二次元的に把握できる構成であることが好ましい。ランド部39、外部端子40、配線パターン32の一部もしくは全部を認識パターン52、54としてもよいし、穴36もしくは印刷、レーザ加工等で形成されたマーク等を認識パターン52、54として利用してもよい。

【0089】

複数の外部端子40は、配線パターン32における基板30を向く面とは反対側の面に設けられてもよい。配線パターン32の外部端子40を設ける部分はランド部39となってもよい。配線パターン32における外部端子40の形成面であって、その形成領域を避けた領域には保護膜33が形成されていてもよい。保護膜33は、ソルダレジストなどの絶縁部材であることが好ましく、特に配線パターン32の表面を覆って保護するようになっている。

【0090】

外部端子40はハンダで形成してもよく、ハンダ以外の金属や導電性樹脂などから形成してもよい。図5には、外部端子40が半導体チップ10の搭載領域内のみに設けられたFAN-IN型の半導体装置が示されているが、本発明はこれに限定されるものではない。例えば、第1の半導体チップ10の搭載領域外にのみ外部端子40が設けられたFAN-OUT型の半導体装置や、これにFAN-IN型を組み合わせたFAN-IN/OUT型の半導体装置にも本発明を適用することができる。

【0091】

次に、本実施の形態に係る半導体装置の製造方法について説明する。

【0092】

前述の半導体チップ10を基板30に搭載する。詳しくは、半導体チップ10における電極12の形成面を、基板30における配線パターン32の形成が必須である面とは反対の面に向けて搭載する。基板30においてはその表面の一部を

例えばサンドブラストやプラズマによって荒らしておいてもよい。ここで、本実施の形態のように樹脂が異方性導電材料 34 である場合は、半導体チップ 10 の搭載前に予め基板 30 上に異方性導電材料 34 を設けておく。すなわち、基板 30 に異方性導電材料 34 を介して導電部材を配線パターン 32 に電氣的に接続させる。本実施形態によれば、異方性導電材料 34 によって電極 12 と配線パターン 32 とを電氣的に導通させるのと同時に、半導体チップ 10 と基板 30 のアンダーフィルを同時に行えるので、信頼性及び生産性に優れた方法で半導体装置を製造することができる。なお、異方性導電材料 34 が熱硬化性である場合には、半導体チップ 10 の搭載後に熱によって硬化させることにより、基板 30 と半導体チップ 10 との接着を図ることができる。また、基板 30 に認識用の穴 50 及び認識用パターン 52、54 が形成されている場合は、それらを認識して半導体チップ 10 の基板 30 上における位置決めをすることができる。例えば、図 6 にあるように、認識パターン 52、54 が基板 30 の面上に設定される二次元座標のうち X 軸方向に延びる第 1 のパターン 52 と、Y 軸方向に延びる第 2 のパターンから構成されている。この場合に、第 1 パターン 52 を認識して基板平面状の Y 座標を求め、同様に第 2 パターンを用いて X 座標を求めて、基板 30 における半導体チップ 10 の位置を決めることができる。これによって、半導体チップ 10 を基板 30 上の決められた位置に正確に搭載することができる。

【0093】

樹脂を設ける工程は、樹脂が異方性導電材料 34 である場合を除き、半導体チップ 10 の搭載後に行っても構わない。その場合は、例えば半導体チップ 10 の基板 30 との隙間から気泡を除きつつ樹脂を充填することで、半導体チップ 10 と基板 30 のアンダーフィルとすることができる。

【0094】

複数の外部端子 40 を配線パターン 32 上に設けてもよい。詳しくは、配線パターン 32 における基板を向く面とは反対側の面に外部端子 40 を設ける。図 6 にあるように、例えばランド部 39 に外部端子 40 を設ける。外部端子 40 はハンダや金属などで形成することができるが、導電性の部材であればよい。本実施の形態では、外部端子 40 は、ハンダボールである。ハンダボールの形成には、

ハンダ球及びフラックス、又はクリームハンダなどを設けてから、これを加熱して溶融するリフロー工程が行われる。したがって、上述した異方性導電材料 34（熱硬化性である場合）の加熱を省略し、このリフロー工程で、ハンダボールの形成と同時に異方性導電材料 34 を加熱してもよい。さらに、このとき、基板 30 上に搭載する別の受動部品のハンダ付けを同時に行ってもよい。

【0095】

（第 2 の実施の形態）

図 7 は本実施の形態に係る半導体チップ 10 を搭載する前の基板 30 の平面図である。本実施の形態では穴がスリット 38 となっており、スリット 38 をまたいで配線パターン 32 が形成されている。スリット 38 は半導体チップ 10 のそれぞれの電極 12 の並びに対応して形成される。例えば、図 7 にあるように半導体チップ 10 の対向する二辺に沿って形成された電極 12 に対応して、基板 30 における半導体チップ 10 の搭載領域の対向する二辺に二つのスリット 38 が形成されていてもよい。一つのスリット 38 は複数の電極 12 を挿通することが可能である。したがって、スリット 38 の大きさと形状は電極 12 の配置によって任意に決めることが可能である。これによって、基板 30 に必要な穴を容易に設けることができる。スリット 38 は必要に応じて、分割して形成されていてもよい。これ以外は第 1 の実施の形態と同様である。

【0096】

次に、本実施の形態に係る半導体装置の製造方法について説明する。本実施の形態は基板 30 にスリット 38 が形成されていることに伴う工程を除き、第 1 の実施の形態と同様な工程を行うことができる。

【0097】

（樹脂を設ける工程）

樹脂を設ける工程は、前述のように樹脂が異方性導電材料 34 である場合を除き、半導体チップ 10 搭載後に行っても構わない。本実施の形態では基板 30 にスリット 38 が形成されており、スリット 38 の一部は開口部となっている。したがって、樹脂を基板 30 上に設ける前に、基板 30 の配線パターン 32 が形成された側に樹脂に対して撥水性を有する部材を設けてもよい。例えば、図 8 に示

すように台 100 上にテフロンシート 60 を介して基板 30 を載置し、異方性導電材料 34 を基板 30 上に設けて、半導体チップ 10 を搭載して押圧治具 110 で押圧する。こうすることで、スリット 38 から異方性導電材料 34 を漏らすことがなく、異方性導電材料 34 を基板 30 上に設けることができる。なお、第 2 工程後に樹脂を半導体チップ 10 と基板 30 との間に充填する場合も、例えば台 100 上にテフロンシートを介して半導体チップ 10 を搭載済みの基板 30 を載置して行うことができる。

【0098】

本実施の形態においても、配線パターン 32 は基板 30 における半導体チップ 10 の搭載領域とは反対側に位置することとなる。すなわち、配線パターン 32 は半導体チップ 10 に覆われることなく自由に設計することが可能となる。さらに、配線パターン 32 は半導体チップ 10 からみて基板 30 を介した位置に形成される。したがって、半導体チップ 10 内の集積回路における信号と、配線パターン 32 における信号と、が干渉しにくくなっており、クロストークが減少する。ゆえに、接続信頼性を低下させることなく配線パターン 32 の設計自由度の高い半導体装置を得ることができる。

【0099】

(第 3 の実施の形態)

図 9 (A) ～図 9 (D) は、本実施の形態にかかる半導体装置の製造方法を示す図である。本実施形態では、図 9 (D) に示す半導体装置は半導体チップ 10 と基板 30 と外部端子 40 とを含む。

【0100】

基板 30 は上述に示した通りであり、フレキシブル基板等の有機系材料から形成されたもの、金属系基板等の無機系材料から形成されたもの、両者の組み合わせられたもののうちいずれであってもよい。基板 30 にはスルーホール 31 が形成されており、配線パターン 32 はスルーホール 31 上をまたいで形成されている。また、配線パターン 31 の一部として、スルーホール 31 上には外部端子形成用のランド部（図示しない）が形成されていてもよい。

【0101】

このような基板 30 が用意されると、基板 30 に上述に記載の異方性導電材料 34 を設ける。異方性導電材料 34 は、半導体チップ 10 の電極 12 を有する面よりも大きく設けられてもよい。

【0102】

次に、異方性導電材料 34 上に、半導体チップ 10 を載せる。詳しくは、半導体チップ 10 の電極 12 を有する面を、異方性導電材料 34 に向けて半導体チップ 10 を載せる。本実施の形態では、電極 12 上には第 1 及び第 2 のバンプ 70、80 が形成されており、これらのバンプの形成方法は上述に記載の通りである。第 2 のバンプ 80 は第 1 のバンプ 70 とは異なる材料から形成されていてもよい。例えば第 1 のバンプ 70 を金で形成し、第 2 のバンプ 80 を金-スズ、ハンダなどの金よりも低融点金属で形成してもよい。このことによるメリットは既に記載の通りである。電極 12 が、配線パターン 32 の電極接続用のランド（図示せず）上に位置するように、半導体チップ 10 を配置する。なお、第 1 及び第 2 のバンプ 70、80 は、配線パターン 32 側に形成してもよい。

【0103】

以上の工程により、半導体チップ 10 の電極 12 が形成された面と、基板 30 の配線パターン 32 が形成された面との間に異方性導電材料 34 が介在する。そして、治具 110 を、電極 12 が形成された面とは反対の面に押しつけて、半導体チップ 10 を基板 30 の方向に加圧する。また、治具 110 は、例えばヒータなどの加熱手段を有していてもよく、これによって半導体チップ 10 を加熱してもよい。なお、治具 110 として、異方性導電材料 34 がはみ出した部分にも熱を出来るだけ加えたい点を考慮すると、半導体チップ 10 の平面積よりも大きい平面積を有するものを用いることが好ましい。こうすることで、半導体チップ 10 の周囲まで熱が加わり易くなる。

【0104】

治具 110 によって半導体チップ 10 が加熱されているので、異方性導電材料 34 の接着剤は、半導体チップ 10 との接触領域において硬化している。ただし、この状態では、半導体チップ 10 と接触してない領域又は半導体チップ 10 から離れた領域は、異方性導電材料 34 の接着剤には熱が行き届かないので、完全

には硬化していない。この領域の硬化は、次の工程で行われる。

【0105】

外部端子40を例えばハンダで形成する場合には、図9（C）に示すように、基板30のスルーホール31内及びその付近にハンダ42を設ける。ハンダ42は、例えばクリームハンダを用いて、印刷法により設けることができる。また、予め形成されたハンダボールを上記位置に載せても良い。

【0106】

続いて、リフロー工程においてハンダ34を加熱して、図9（D）に示すように、外部端子40を形成する。このリフロー工程では、ハンダ42のみならず異方性導電材料34も加熱される。この熱によって、異方性導電材料34の未硬化の領域も硬化する。すなわち、異方性導電材料34のうち、半導体チップ10と接触していない領域又は半導体チップ10から離れた領域が、外部端子40の形成のためのリフロー工程で硬化する。

【0107】

こうして得られた半導体装置によれば、半導体チップ10の電極12上に形成された第1及び第2のバンプ70、80の高さによって、半導体チップ10と基板30との間隔が大きくなるので、半導体チップ10の直下に樹脂を多く設けることができ、樹脂を応力緩和層として十分に機能させることができる。なお、本実施の形態において第1及び第2のバンプ70、80は任意のバンプを意味し、少なくとも二つのバンプに適用が可能である。また、本発明は電極12と配線パターン32との電氣的接続は、異方性導電材料34に限定するものではなく、様々な形態（上述に記載）が適用できる。

【0108】

上述の全ての実施の形態では、外部端子40を有する半導体装置について述べてきたが、基板30の一部を延出し、そこから外部接続を図るようにしてもよい。基板30の一部をコネクタのリードとしたり、コネクタを基板30上に実装したり、基板30の配線パターン32そのものを他の電子機器に接続してもよい。

【0109】

さらに、積極的に外部端子40を形成せずマザーボード実装時にマザーボード

側に塗布されるハンダクリームを利用し、その溶融時の表面張力で結果的に外部端子を形成してもよい。その半導体装置は、いわゆるランドグリッドアレイ型の半導体装置である。さらに、上述の全ての実施の形態では、複数の半導体チップが実装されていてもよいし、受動部品と組み合わされていてもよい。

【0 1 1 0】

図 8 には、本実施の形態に係る半導体装置 1 を実装した回路基板 1 0 0 0 が示されている。回路基板 1 0 0 0 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1 0 0 0 には例えば銅などからなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置 1 の外部端子 4 0 とを機械的に接続することでそれらの電氣的導通を図る。

【0 1 1 1】

そして、本発明を適用した半導体装置 1 を有する電子機器として、図 1 0 にはノート型パーソナルコンピュータ、図 1 1 には携帯電話が示されている。

【0 1 1 2】

以上述べてきた本実施の形態では、半導体チップ及びそれを利用した半導体装置について述べてきたが、本発明は突起を利用した、全ての電子チップの実施形態に利用することができる。

【0 1 1 3】

なお、上記発明の構成要件で「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

【0 1 1 4】

さらに、前述した全ての実装の形態は、半導体チップとその他の上記のような電子素子とが基板上で混載実装される半導体装置（実装モジュール）であってもよい。

【図面の簡単な説明】

【図 1】

図 1 (A) ～図 1 (C) は、本発明の第 1 の実施の形態における導電線ボンディング工程を説明する図である。

【図 2】

図 2 (A) 及び図 2 (B) は、本発明の第 1 の実施の形態におけるバンプの形成方法を説明する図である。

【図 3】

図 3 (A) ～図 3 (C) は、本発明の第 1 の実施の形態における導電線ボンディング工程を説明する図である。

【図 4】

図 4 (A) 及び図 4 (B) は、本発明の第 1 の実施の形態におけるバンプの形成方法を説明する図である。

【図 5】

図 5 は、本発明の第 1 の実施の形態における半導体装置を示した図である。

【図 6】

図 6 は、本発明の第 1 の実施の形態における基板を示した図である。

【図 7】

図 7 は、本発明の第 2 の実施の形態における基板を示した図である。

【図 8】

図 8 は、本発明の第 2 の実施の形態における半導体装置の製造方法を説明する図である。

【図 9】

図 9 は、本発明の第 3 の実施の形態における半導体装置の製造方法を示す図である。

【図 1 0】

図 1 0 は、本発明に係る半導体装置が実装された回路基板を示す図である。

【図 1 1】

図 1 1 は、本発明に係る半導体装置を有する電子機器を示す図である。

【図 1 2】

図 1 2 は、本発明に係る半導体装置を有する電子機器を示す図である。

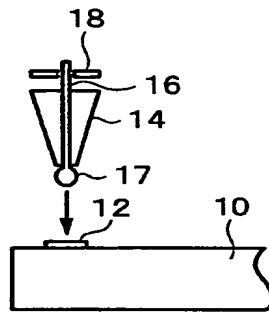
【符号の説明】

- 1 0 半導体チップ
- 1 2 電極
- 3 0 基板
- 3 2 配線パターン
- 3 4 異方性導電材料
- 3 6 穴
- 3 8 スリット
- 4 0 外部端子
- 5 0 認識用の穴
- 5 2 第 1 のパターン
- 5 4 第 2 のパターン
- 7 0 第 1 のバンプ
- 8 0 第 2 のバンプ
- 9 0 第 3 のバンプ

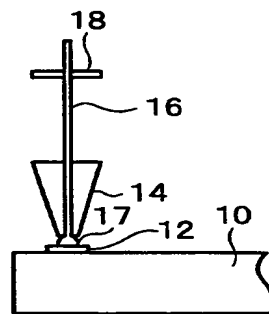
【書類名】 図面

【図 1】

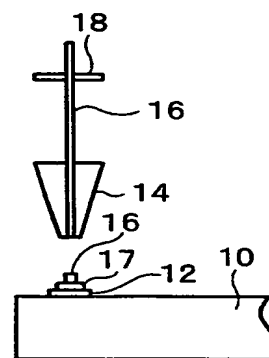
(A)



(B)

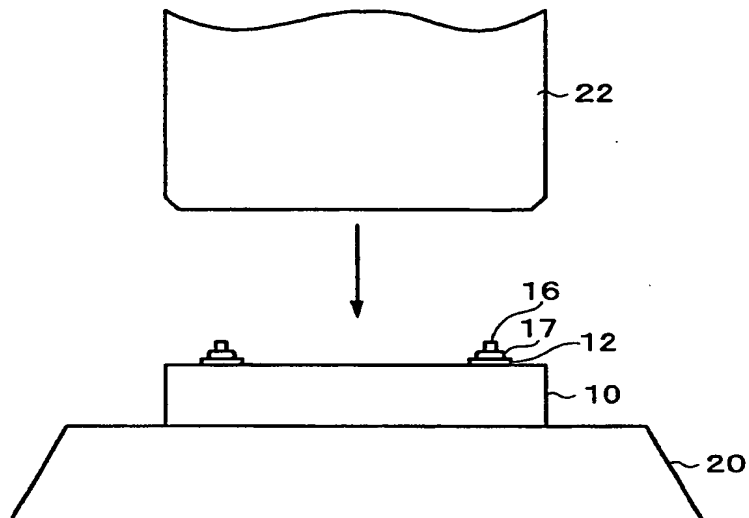


(C)

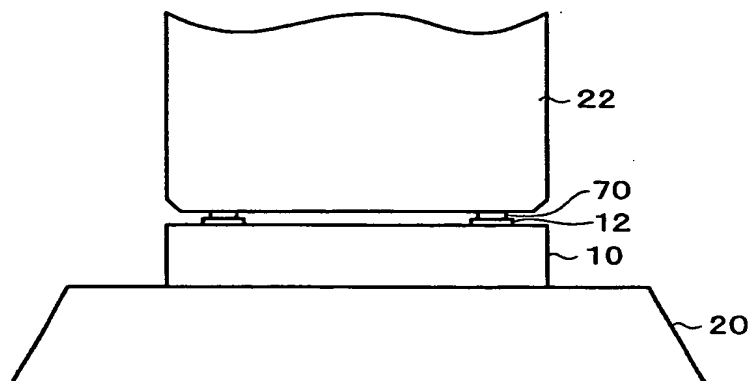


【図 2】

(A)

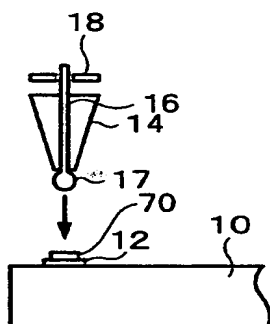


(B)

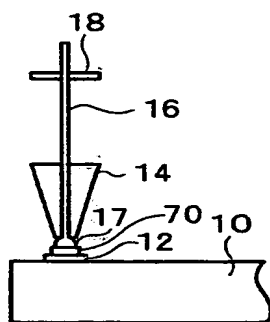


【図 3】

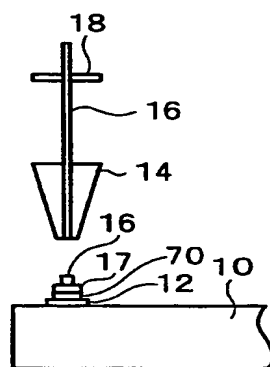
(A)



(B)

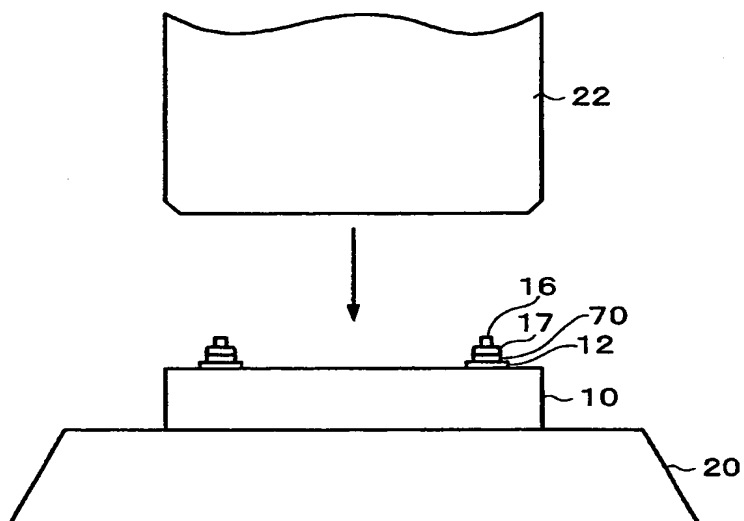


(C)

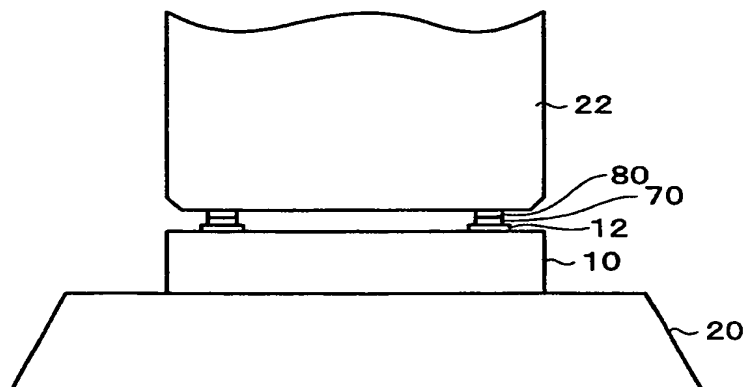


【図 4】

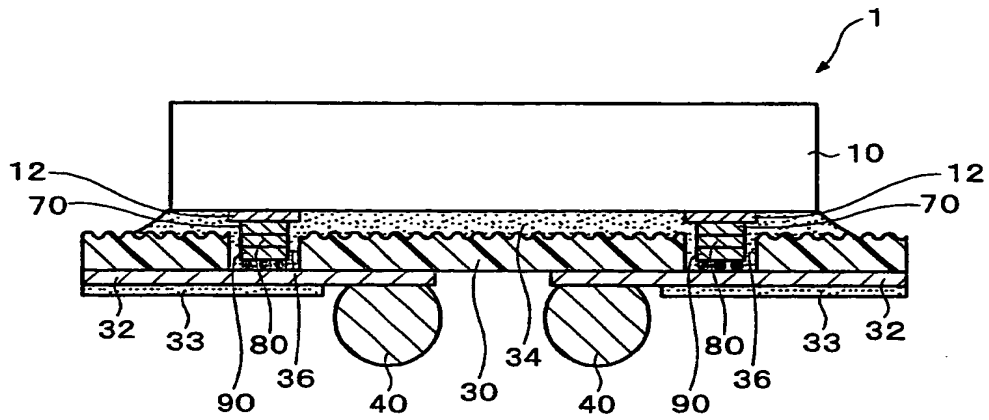
(A)



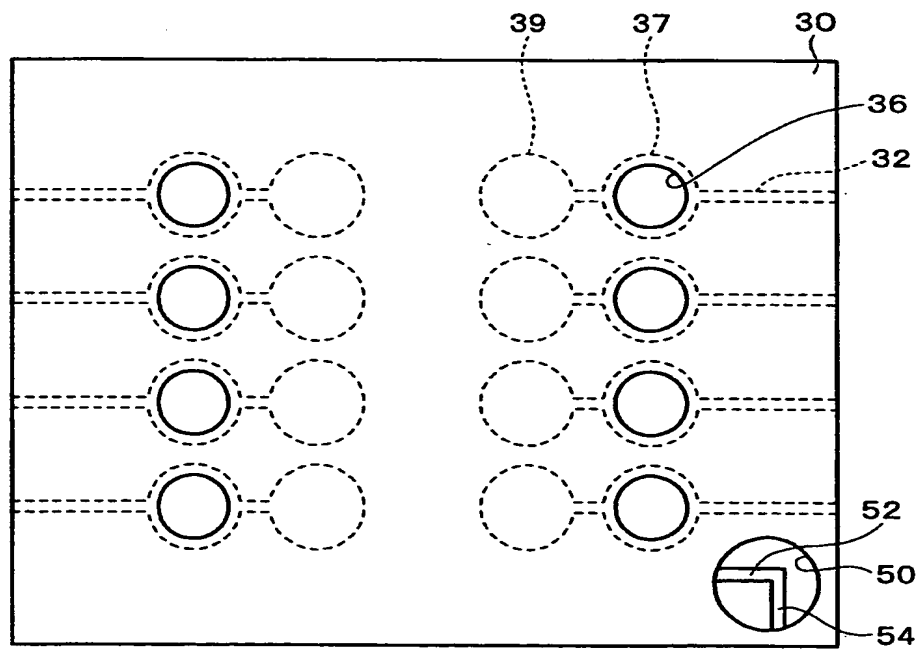
(B)



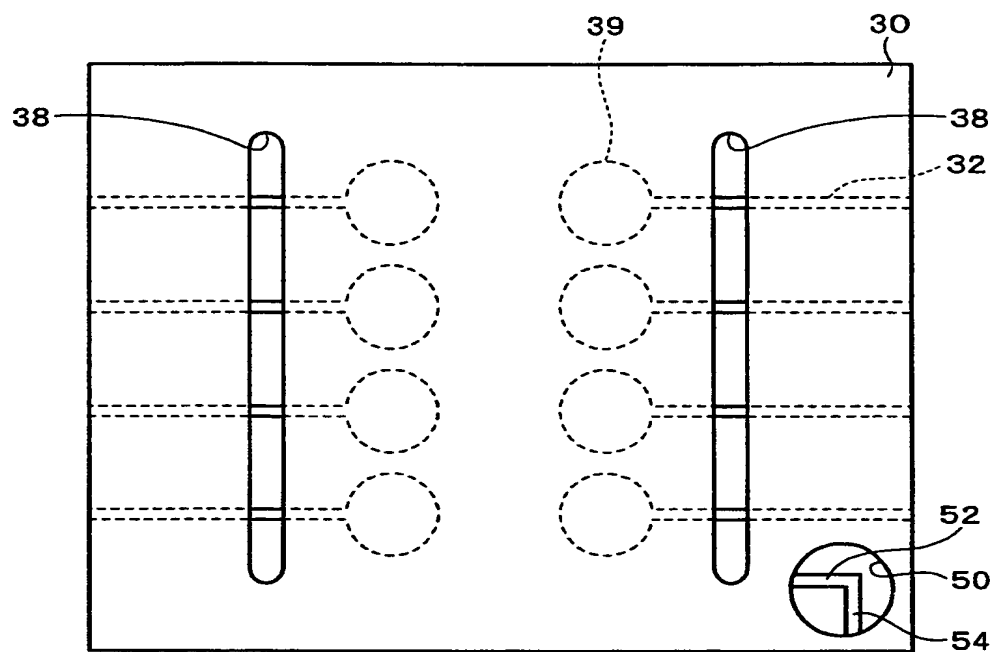
【図 5】



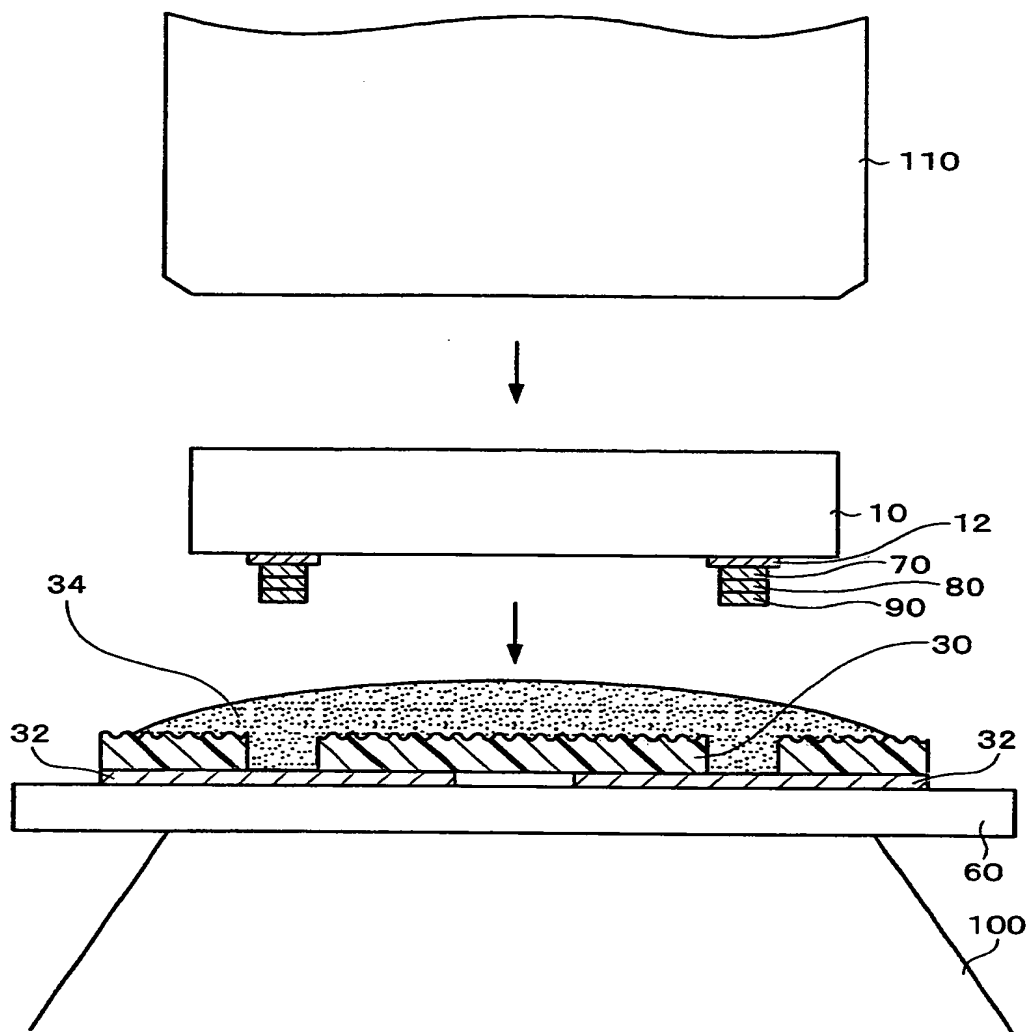
【図 6】



【図 7】

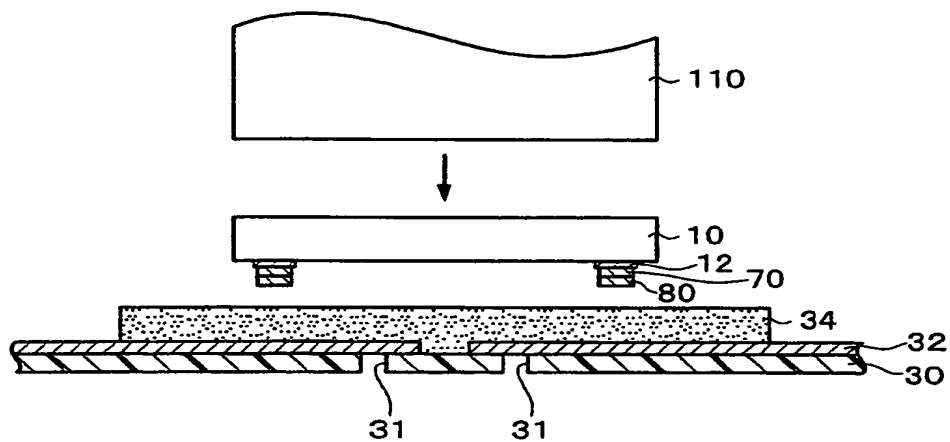


【図 8】

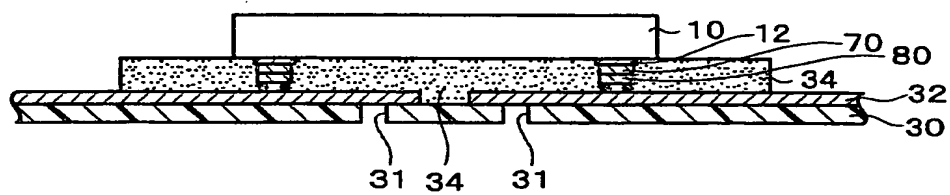


【図 9】

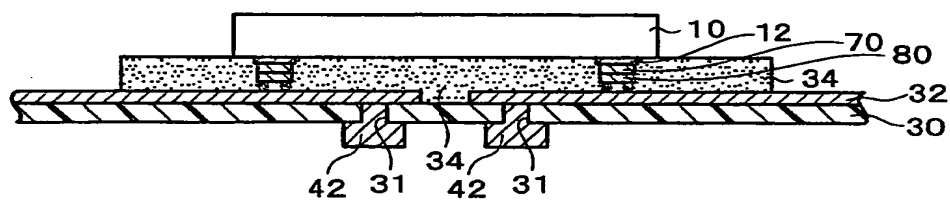
(A)



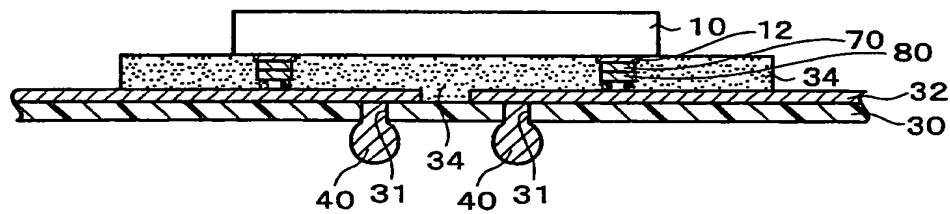
(B)



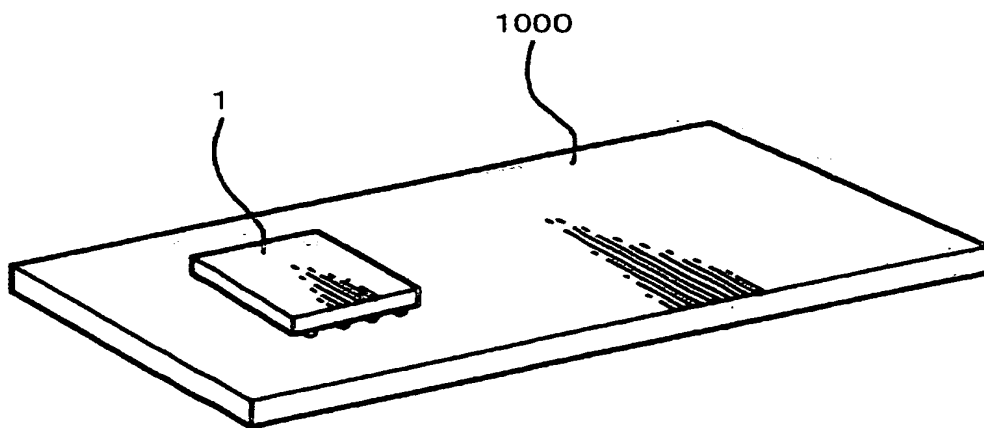
(C)



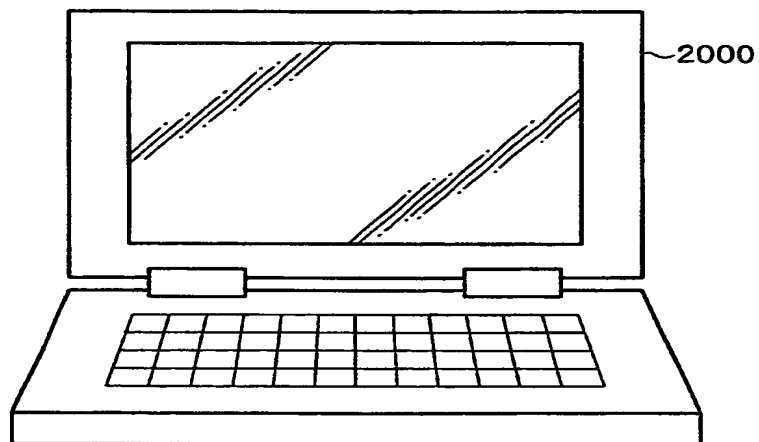
(D)



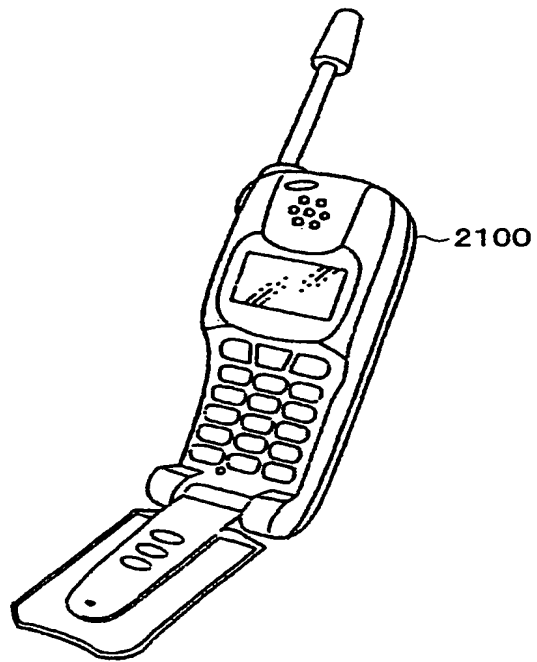
【図 1 0】



【図 1 1】



【図 1 2】



【書類名】 要約書

【要約】

【課題】 接続信頼性を低下させることなく配線パターンの設計自由度を高くすることのできる半導体チップ、半導体チップへのバンプの形成方法、半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【解決手段】 この半導体装置は、複数の穴 3 6 が形成され、配線パターン 3 2 が一方の面に形成されるとともに、前記配線パターン 3 2 の一部は前記穴 3 6 と平面的に重なるように形成された基板 3 0 と、複数の電極 1 2 を有し、前記電極 1 2 が前記穴と対応するように前記基板 3 0 の他方の面に配置された半導体チップ 1 0 と、前記穴 3 6 の内側に設けられ、前記電極 1 2 と前記配線パターン 3 2 とを電氣的に接続する導電部材とを含む。

【選択図】 図 5

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社

